

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297299

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

(21)Application number : 06-112241

(71)Applicant : SONY CORP

(22)Date of filing : 27.04.1994

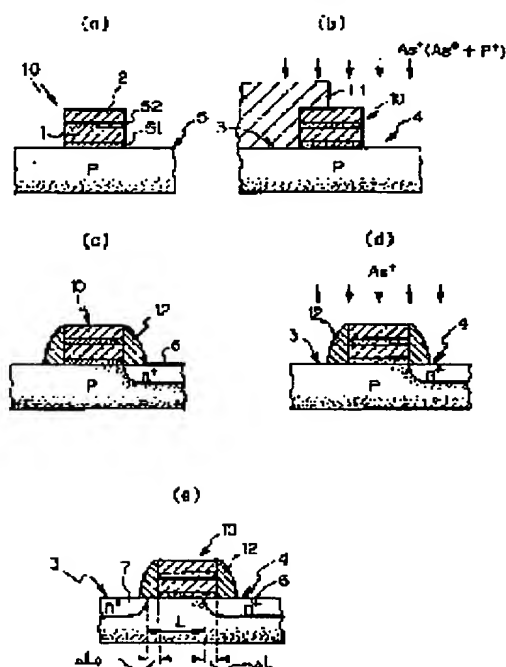
(72)Inventor : SUGIYAMA HISANOBU

(54) SEMICONDUCTOR MEMORY AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PURPOSE: To provide a semiconductor memory of which short channel effect tolerance is improved without decreasing electron emission efficiency and a method of manufacturing it.

CONSTITUTION: A source diffusion layer 7 that is not an electron emission target is alienated from a floating gate 1 (offset ΔL_0) and a drain diffusion layer 6 is made to approach (overlap ΔL_1) to the floating gate 1 with the same amount. Preceding the formation of a side wall 12 to the side of a stacked gate 10, the drain diffusion layer 6 is formed preliminarily by masking with a resist 11 and injecting As ions into a drain part 4. Then the diffusion layer 7 is formed in a source part 3. With this the source diffusion layer 7 is offset from the floating gate 1, the drain diffusion layer 6 is overlapped with the floating gate 1 and the channel length L does not change much.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-297299

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数 5 F D (全 6 頁)

(21) 出願番号 特願平6-112241

(22) 出願日 平成6年(1994)4月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 杉山 寿伸

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

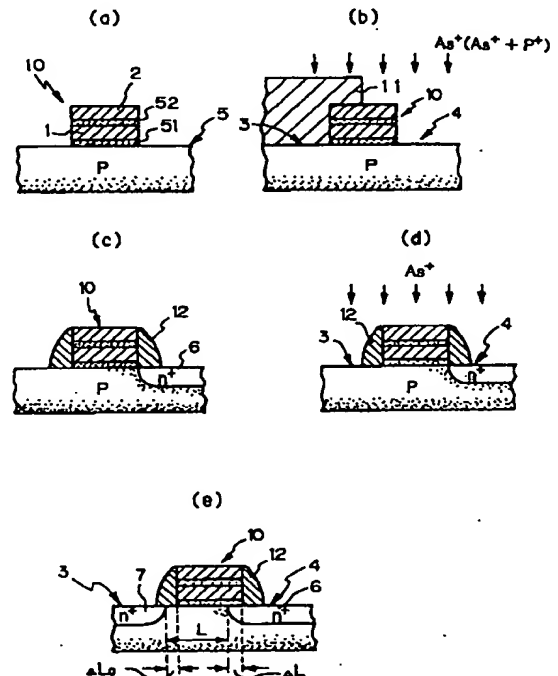
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 半導体メモリおよびその製造方法

(57) 【要約】

【目的】 電子放出効率を低下させず、ショートチャネル効果耐性を向上させた半導体メモリとその製造方法を提供する。

【構成】 電子放出先でないソース拡散層7をフローティングゲート1より離反（オフセット ΔL_0 ）し、その分、ドレイン拡散層6をフローティングゲート1に接近（オーバーラップ ΔL ）させる。スタックゲート10側面へのサイドウォール12の形成に先立って、レジスト11でマスキングし、ドレイン部4に砒素イオンを注入してドレイン拡散層6を予備形成する。その後、ソース部3に拡散層7を形成する。これによりソース拡散層7はフローティングゲート1に対しオフセットされ、ドレイン拡散層6はフローティングゲート1にオーバーラップし、チャンネル長さLは大きく変化しない。



【特許請求の範囲】

【請求項1】 基板内にソース拡散層とドレイン拡散層を有し、これら両拡散層間の基板上にゲート電極層を設けた半導体メモリにおいて、前記両拡散層のうち少なくとも一方の端部位置が前記ゲート電極層端部の位置からオフセットされたことを特徴とする半導体メモリ。

【請求項2】 コントロールゲート、フローティングゲートから成るスタックゲートと、ソース拡散層と、ドレイン拡散層とを有し、前記フローティングゲート・ドレイン拡散層間またはフローティングゲート・ソース拡散層間で電子の注入、放出を行うことによりメモリの消去、書き込みをするスタックゲート型半導体メモリにおいて、

電子放出先でない拡散層を、前記フローティングゲートより離反して形成するとともに、電子放出先となる拡散層を前記フローティングゲートに接近して形成したことを特徴とする請求項1に記載の半導体メモリ。

【請求項3】 請求項1または2に記載の半導体メモリの製造方法であって、前記スタックゲート側面へのサイドウォール形成に先立って、電子放出先となるドレイン部またはソース部領域にイオン注入して拡散層を形成するとともに、スタックゲート側面へのサイドウォール形成後、少なくとも電子放出先でないソース部またはドレイン部領域に拡散層を形成することを特徴とする半導体メモリ製造方法。

【請求項4】 請求項1または2に記載の半導体メモリの製造方法であって、前記スタックゲートを形成する際のゲートパターンニング後に、前記コントロールゲート上にパターンニング用レジストを残したまま、基板表面に対して斜め方向からイオン注入することにより、前記拡散層を形成することを特徴とする半導体メモリ製造方法。

【請求項5】 請求項3または4に記載の半導体メモリ製造方法において、注入されるイオンは、磷イオンまたは砒素イオンであることを特徴とする半導体メモリ製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体メモリおよびその製造方法に関し、特にEEPROMと呼ばれるスタックゲート型不揮発性メモリとその製造方法に関するものである。

【0002】

【従来の技術】 これまで、スタックゲート型のフラッシュEEPROMでは、種々のデータ消去、書き込み方法が提案されているが、その代表的なものとしてはDINOR (Divided bitline NOR) 型と呼ばれる書き込み/消去方法がある。この方法は、図3(a)に示すように、データの消去にあたり、まずフローティングゲート1の上に位置するコントロールゲート2を正電位、ソース部3

およびp型基板5を負電位、ドレイン部4をオープンの状態にする。この結果、チャンネル54の全面よりフローティングゲート1に対して電子が注入され、データが消去される。

【0003】 一方、データ書き込みは、同図(b)に示すように、ドレイン部4を正電位、コントロールゲート2を負電位、ソース部3をオープン、基板5を接地し、フローティングゲート1からドレイン4の拡散層6に電子を放出させることにより行われる。

【0004】 ところで、一般のスタックゲート型のEEPROMにおいては、フローティングゲートと、これに対して電子の注入、放出を行う拡散層との間の電子トンネル効果を高めるために、それらの間に位置する酸化膜を薄く形成したり、あるいはフローティングゲートを拡散層に対して部分的に接近させた構造となっている。また、上述したようなメモリ消去、書き込み法では、フローティングゲート1からの電子放出効率を高めるために、フローティングゲート1とドレイン拡散層6とがある程度の面積を以てオーバーラップするように拡散層6の形成領域が調整されている。

【0005】

【発明が解決しようとする課題】 しかしながら、近年のメモリセルの微細化傾向に伴い、スタックゲート自体の長さを短く設定すると、前記オーバーラップの確保に伴ってチャンネル部の電位障壁が降下して、いわゆるショートチャンネル効果が高まることになる。すなわち、DINOR型フラッシュEEPROMにおいては、電子放出効率を高めればそれだけショートチャンネル効果が増加することになり、双方を満足させることは困難であった。

【0006】 本発明は、かかる現状に鑑み、ドレイン、フローティングゲート間のオーバーラップを確保しつつ、ショートチャンネル効果が低減されるような半導体メモリおよびその製造方法を提供することを目的とするものである。

【0007】

【課題を解決するための手段】 前記目的を達成するため、本発明では、基板内にソース拡散層とドレイン拡散層を有し、これら両拡散層間の基板上にゲート電極層を設けた半導体メモリにおいて、前記両拡散層のうち少なくとも一方の端部位置が前記ゲート電極層端部の位置からオフセットされたことを特徴とする半導体メモリを提供する。

【0008】 上記目的を達成するため、本発明の実施例によれば、コントロールゲート、フローティングゲートから成るスタックゲートと、ソース拡散層と、ドレイン拡散層とを有し、前記フローティングゲート・ドレイン拡散層間またはフローティングゲート・ソース拡散層間で電子の注入、放出を行うことによりメモリの消去、書き込みをするスタックゲート型半導体メモリにおいて、電

子放出先でない拡散層を、前記フローティングゲートより離反（オフセット）して形成するとともに、電子放出先となる拡散層を前記フローティングゲートに接近（オーバーラップ）して形成したことを特徴とする半導体メモリが提供される。

【0009】また、本発明では、この半導体メモリを提供するため、スタックゲート側面へのサイドウォール形成に先立って、基板内の電子放出先となるソース部またはドレイン部領域に予めイオン注入して拡散層を形成するとともに、スタックゲート側面へのサイドウォール形成後、少なくとも電子放出先でないドレイン部またはソース部領域に拡散層を形成することを特徴とする第1の半導体メモリ製造方法が提供される。

【0010】更に、本発明では別の製造方法として、スタックゲートを形成する際のゲートパターニング後に、前記コントロールゲート上にパターニング用レジストを残したまま、基板表面に対して斜め方向からイオン注入することにより、前記拡散層を形成することを特徴とする第2の半導体メモリ製造方法が提供される。

【0011】

【作用】電子放出効率を高めるため、電子放出先となる拡散層をフローティングゲートに接近させ、そのオーバーラップ量を大きくしたとしても、電子放出先でない電極側の拡散層をフローティングゲートより離反させることで、実質的なチャンネル長さは変化することがなく、ショートチャンネル効果耐性を確保することができる。

【0012】また、第1の製造方法においては、サイドウォール形成後、電子放出先とはならない基板領域に対してイオン注入されるため、このイオン注入領域とフローティングゲートとの間にはサイドウォールが介在することとなり、その後形成される拡散層をフローティングゲートより離反させることができる。

【0013】また、第2の製造方法においては、コントロールゲート上にレジストを残したまま基板表面に対して斜め方向からイオン注入することで、スタックゲートより一方の側においてはレジストによるシャドウ効果によって、注入領域がフローティングゲートから離れ、他方の側においては、斜め方向からのイオン注入によりフローティングゲート下方まで注入領域が及ぶことになる。

【0014】

【実施例】図面を参照しながら本発明による半導体メモリおよびその製造方法を以下、説明する。図1は、本発明の第1実施例による半導体メモリ製造過程を順に示したものである。まず、通常のEEPROM製造方法と同じ方法で、p型基板5の上にスタックゲート10を形成する。すなわち、これは、基板5上に絶縁膜を介してフローティングゲート1とコントロールゲート2を積層するものであり、実際には、これらのゲートを成膜した後、レジストパターニングおよびエッチングを施すこと

に得ることができる。なお、この構成例としてスタックゲート10は、例えばSiO₂の第1絶縁膜51、ポリシリコン（又はアルミニウム）のフローティングゲート1、Si₃N₄（又はAl₂O₃）の第2絶縁膜52、およびポリシリコンのコントロールゲート2によって構成される。

【0015】以上のようにして図1(a)に示すスタックゲート10を形成したならば、次に、n+型のドレイン拡散層を形成するために、同図(b)に示すように、スタックゲート10から図中左方のソース部3にかけて、この領域をレジスト11で覆い、ドレイン部4のみにAs（砒素）イオン、またはAsイオン+P（磷）イオンを注入し、レジスト11で覆われない基板部分（図中右側）にシングルドレインか、あるいはダブルドレイン構造のイオン注入組織を形成する。なお、この組織は、その後、1000℃前後の高温炉中でアニール（熱処理）が施され、同図(c)に示すような、スタックゲート10と若干オーバーラップするドレイン拡散層6が形成されることになる。

【0016】このようにしてイオン注入した後は、次に基板表面からレジスト11を剥離させ、その後、基板表面にSiO₂膜（又はSi₃N₄膜）を形成し、異方性エッチングをして、同図(c)に示すようにSiO₂からなるスタックゲート10の側壁保護のためのサイドウォール12を形成する。

【0017】次に、以上のようにしてサイドウォール12を形成した基板全域、特にソース部3およびドレイン部4に対して、再度Asイオンを注入し、熱処理を行う「同図(d)参照」。この結果、ソース部3においては新たなソース拡散層7が生成され、片やドレイン部4においては、先の熱処理工程でのドレイン拡散層6の拡散領域が増加することとなり、最終的には同図(e)に示すように、ソース拡散層7のみスタックゲート10からオフセットされた基板組織が形成される。

【0018】すなわち、本実施例におけるEEPROMを構成するドレイン、ソースの各n+型拡散層6、7は、同図(e)に示したように、片やドレイン部4においては、スタックゲート10に対して大きなオーバーラップ量ΔLが確保された状態で形成され、片やソース部3においては、スタックゲート10に対してオフセット量ΔL_oだけ離反して形成されるために、実質的にチャンネル長さLを短くすることがない。従って、このような拡散層オフセット型のメモリは、メモリセルを微細化しても耐ショートチャンネル効果を損なうことなく電子放出効率を向上させることができる。なお、上述した製造方法によるEEPROMは、オフセット量ΔL_oに関係してそれが大きい値の場合、メモリトランジスタ読出し動作時の電流が減少する恐れがあるが、この問題はドレイン拡散層6を形成する時の熱処理の温度管理や処理時間を調整し、オフセット量ΔL_oを適性値に制御す

ることによって解消できる。

【0019】次に、上述した製造方法とは異なる拡散層オフセット法を用いた、本発明の第2実施例としての半導体メモリ製造方法を説明する。図2はその半導体メモリ製造過程を順に示したものである。

【0020】この第2実施例に係る製造方法は、スタックゲート形成までは通常の形成方法と全く同様であるが、スタックゲート形成後は図2(a)に示すようにゲートパターンニング時のレジスト11をコントロールゲート2の上に残したままの状態にしておく。そして、この状態から同図(b)に示すように、砒素イオン(又は、砒素イオン+リンイオン)なるドナーを基板表面53に対して斜め方向から注入する。

【0021】この結果、スタックゲート10より図において左側に位置するソース部3においては、コントロールゲート上、高く堆積されたレジスト11のシャドウ効果によって、フローティングゲート1から離反された位置にドナーが注入され、逆にスタックゲート10より図中右側に位置するドレイン部4においては、その注入角度に起因してフローティングゲート1の下方までドナーが注入される。そして、その後の熱処理によって、ソース部3にはスタックゲート10に対してオフセットされたソース拡散層7が形成され、ドレイン部4ではスタックゲート10に対しオーバーラップしたドレイン拡散層6が形成されることになる(図2(c)参照)。

【0022】このようにして各拡散層6、7が形成されたならば、先の第1実施例による製造方法と同様に、レジスト11を除去したコントロールゲート上を含め、基板表面53に SiO_2 膜(又は Si_3N_4 膜)を形成し、異方性エッチングをして、同図(c)に示すように SiO_2 からなるスタックゲート10の側壁保護のためのサイドウォール12を形成する。

【0023】サイドウォール形成後は基板5に対して略垂直なる方向から、再度Asイオンを注入し、熱処理を行う(同図(d)参照)。この結果、ソース部3とドレイン部4において、先の熱処理工程での各拡散層7、6の拡散領域が増加することとなり、最終的には同図

(e)に示すように、ドレイン部4においては、スタックゲート10に対して大きなオーバーラップ量 ΔL が確保された状態で拡散層6が形成され、ソース部3においては、スタックゲート10に対してオフセット量 ΔL_o だけ離反して拡散層7が形成される。

【0024】従って、本実施例でも上述したオフセットにより、実質的なチャンネル長さ L を短くすることはない。これは、換言すれば、仮にメモリセルを微細化して

も耐ショートチャンネル効果を損なうことなく電子放出効率を向上することができることを意味している。なお、この製造方法においても、オフセット量 ΔL_o が大き過ぎる場合、メモリトランジスタ読出し動作時の電流が減少する恐れがあるが、この問題は図2(b)で示したイオン注入の角度を調整することにより、オフセット量 ΔL_o を適性値に制御することによって解消できる。

【0025】以上、本発明について、ドレイン拡散層に対して電子放出することによりデータの書込みを行うEEPROMとその製造方法に例示して説明したが、本発明はこの半導体メモリに限定されるものではなく、例えばソース拡散層を電子放出先とする半導体メモリの場合、逆にドレイン拡散層をスタックゲートに対してオフセットし、かつソース拡散層とスタックゲートをオーバーラップするようにすれば良い。

【0026】

【発明の効果】以上説明したように、本発明によれば、電子放出先でない拡散層をフローティングゲートから離反(オフセット)して形成することにより、電子放出先拡散層とフローティングゲートとのオーバーラップを確保しつつ、ショートチャンネル効果耐性のある半導体メモリを提供することができる。すなわち、これにより、現在のメモリセルの微細化傾向に対しても、ショートチャンネル効果が発生しにくく、かつ高い電子放出効率を持つ半導体メモリを得ることができる。

【図面の簡単な説明】

【図1】 (a)～(e)はそれぞれ本発明による第1の半導体メモリ製造過程を順に示した図である。

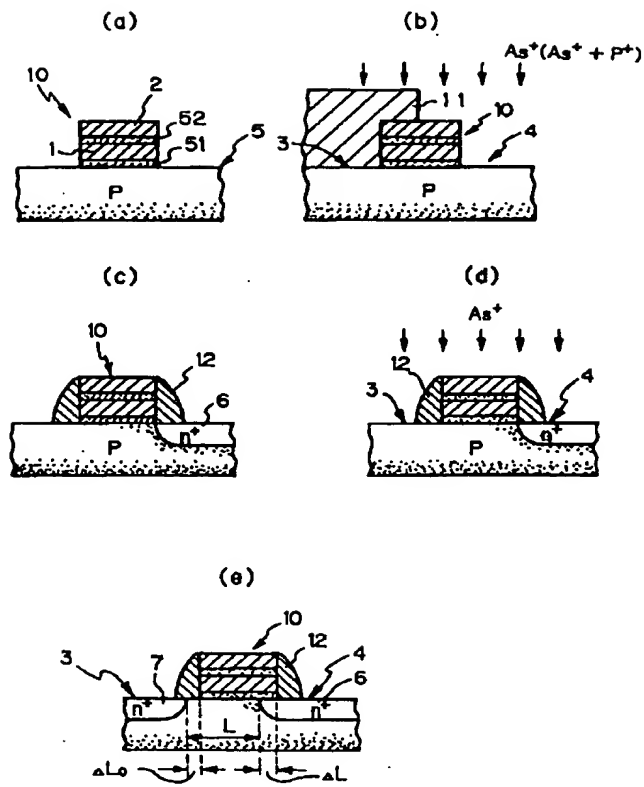
【図2】 (a)～(e)はそれぞれ本発明による第2の半導体メモリ製造過程を順に示した図である。

【図3】 従来のEEPROM構造を示し、DINOR型データ書込み、消去状態を示した図である。

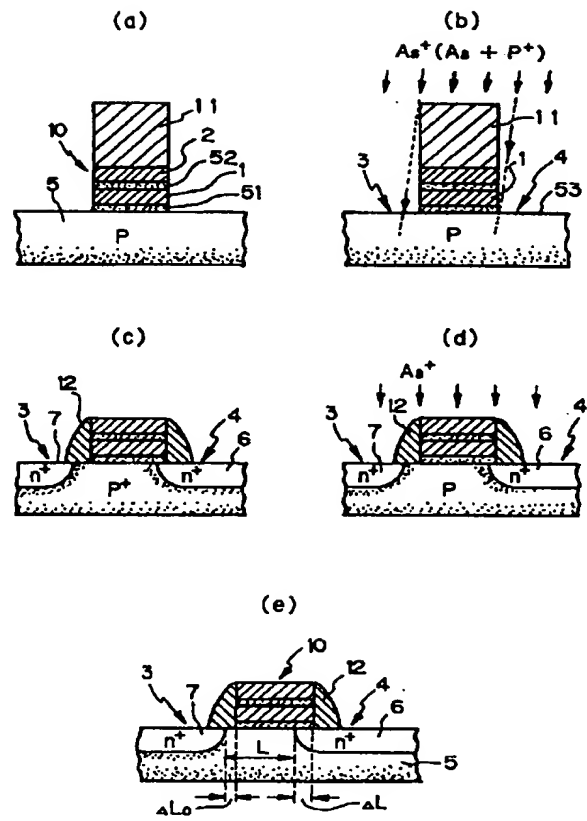
【符号の説明】

- 1…フローティングゲート
- 2…コントロールゲート
- 3…ソース部
- 4…ドレイン部
- 5…基板
- 6…ドレイン拡散層
- 7…ソース拡散層
- 10…スタックゲート
- 11…レジスト
- 12…サイドウォール
- 53…基板表面

【図1】



【図2】



【図3】

